

PAT-NO: JP408147163A

DOCUMENT-IDENTIFIER: JP 08147163 A

TITLE: METHOD AND DEVICE FOR OPERATION
PROCESSING

PUBN-DATE: June 7, 1996

INVENTOR-INFORMATION:

NAME
TAKEMOTO, TAKU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP06289462

APPL-DATE: November 24, 1994

INT-CL (IPC): G06F009/38, G06F009/38

ABSTRACT:

PURPOSE: To reduce the power consumption of the whole of the microprocessor which performs the pipeline processing by eliminating the unnecessary power consumption in stage units.

CONSTITUTION: This operation processing device performs the pipeline processing of instructions and is provided with data processing parts 13 and 14 which perform prescribed data processings of instructions in respective stages

of the pipeline, plural registers 15, 17, and 19 where processing contents inputted to and outputted from respective stages of data processing parts 13 and 14 are held, bypass lines which bypass these registers 15, 17, and 19 respectively, and a controller 21. When the frequency of the operation clock is set to the low clock frequency mode or the flow of data processings in respective stages of data processing parts 13 and 14 is monitored to find that held contents at this time of registers are stably held even in the next unit processing time because of branch instruction execution or the like, the controller bypasses pertinent one of registers 15, 17, and 19 by the bypass line.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-147163

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶
G 0 6 F 9/38

識別記号 庁内整理番号
3 1 0 E
3 3 0 J

F I

技術表示箇所

審査請求 未請求 請求項の数6 O L (全7頁)

(21)出願番号

特願平6-289462

(22)出願日

平成6年(1994)11月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 竹本 卓

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

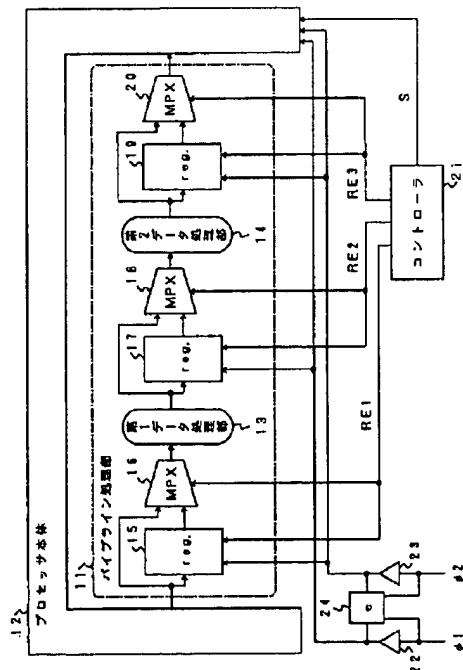
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 演算処理装置及び方法

(57)【要約】

【目的】パイプライン処理を行なうマイクロプロセッサで、ステージ単位での無駄な電力消費を廃することでマイクロプロセッサ全体の消費電力を低減する。

【構成】命令をパイプライン処理する演算処理装置であって、パイプラインの各ステージで命令に対する所定のデータ処理を行なうデータ処理部13, 14と、データ処理部13, 14の各ステージに入出力される処理内容を保持する複数のレジスタ15, 17, 19と、このレジスタ15, 17, 19をそれぞれバイパスするバイパス路と、動作クロックの周波数が低クロック周波数モードとなった際、あるいはデータ処理部13, 14の各ステージでのデータ処理の流れを監視し、分岐命令実行時のようにその時点のレジスタの保持内容が次の単位処理時間内も安定して保持されている際に、これを判定して上記バイパス路により上記レジスタ15, 17, 19中の該当レジスタをバイパスさせるコントローラ21とを備える。



1

【特許請求の範囲】

【請求項1】 命令をパイプライン処理する演算処理装置であって、
パイプラインの各ステージで命令に対する所定のデータ処理を行なうデータ処理手段と、
上記データ処理手段の各ステージに入出力される処理内容を保持する複数のレジスタからなるレジスタ群と、
このレジスタ群の各レジスタをそれぞれバイパスするバイパス手段と、
上記演算処理装置の動作クロック周波数が低クロック周波数モードとなった際にこれを判定して上記バイパス手段により上記レジスタ群中の所定のレジスタをバイパスする制御手段とを具備したことを特徴とする演算処理装置。

【請求項2】 命令をパイプライン処理する演算処理装置であって、
パイプラインの各ステージで命令に対する所定のデータ処理を行なうデータ処理手段と、
上記データ処理手段の各ステージに入出力される処理内容を保持する複数のレジスタからなるレジスタ群と、
このレジスタ群の各レジスタをそれぞれバイパスするバイパス手段と、
上記データ処理手段の各ステージでのデータ処理の流れを監視し、その時点のレジスタの保持内容が次の単位処理時間内も安定して保持されている際にこれを判定して上記バイパス手段により上記レジスタ群中の該当レジスタをバイパスする制御手段とを具備したことを特徴とする演算処理装置。

【請求項3】 上記制御手段はデータ処理手段で処理している命令が分岐命令であることを判定してレジスタのバイパスを行なわせることを特徴とする請求項2記載の演算処理装置。

【請求項4】 命令をパイプライン処理する演算処理方法であって、
パイプラインの各ステージで命令に対する所定のデータ処理を行なうデータ処理部の各ステージで入出力される処理内容を複数のレジスタからなるレジスタ群でそれぞれ保持し、
動作クロック周波数が低クロック周波数モードとなった際にこれを判定して上記レジスタ群中の所定のレジスタをバイパスすることを特徴とする演算処理方法。

【請求項5】 命令をパイプライン処理する演算処理方法であって、
パイプラインの各ステージで命令に対する所定のデータ処理を行なうデータ処理部の各ステージで入出力される処理内容を複数のレジスタからなるレジスタ群でそれぞれ保持し、
上記データ処理部の各ステージでのデータ処理の流れを監視し、その時点のレジスタの保持内容が次の単位処理時間内も安定して保持されている際にこれを判定して上

2

記レジスタ群中の所定のレジスタをバイパスさせることを特徴とする演算処理方法。

【請求項6】 命令をパイプライン処理する演算処理装置であって、
各々所定のデータ処理を行なう第1のステージ及び第2のステージと、
上記第1のステージの処理結果を導く第1のラインと、
上記第1のラインによって導かれた上記第1のステージの処理結果を保持するレジスタと、

10 上記レジスタに保持された内容を出力する第2のラインと、
上記演算処理の動作クロック周波数が通常のクロック周波数モードのときには上記第2のラインを選択し、低クロック周波数モードのときには上記第1のラインを選択し、上記第2のステージへ出力する選択手段とを具備したことを特徴とする演算処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、無駄な電力消費を避けた演算処理装置及び方法に関する。

【0002】

【従来の技術】従来より、ラップトップあるいはパームトップタイプのパソコンやワードプロセッサ、携帯型個人情報機器、携帯電話等の携帯使用を前提とされる各種電子機器では、電源となるバッテリの稼働時間をいかに長くするかという点に多くの努力が払われており、この点を解決するべくバッテリの容量を拡大する方向と消費電力を削減する方向の2つの方向で種々試みがなされている。

30 【0003】このうち、バッテリの容量を拡大する方向では、バッテリのエネルギー密度を向上させた高性能2次バッテリの開発の開発が盛んに行なわれてお、一般的に広く普及しているニッケル・カドミウムバッテリの約1.5倍のエネルギー密度を有するニッケル水素バッテリがすでに実用化され、ニッケル・カドミウムバッテリの約2~3倍のエネルギー密度を有するリチウム・イオンバッテリも徐々に実用化が始まっている。

【0004】また、消費電力を削減する方向では、まず電力供給を制御する手法が考えられる。これは、モジュール毎に細かく電力制御を行ない、使用していないものは電力を抑制もしくはクロックの供給を停止するものである。

40 【0005】さらに、消費電力は電源電圧の2乗に比例するため、電源及びこの電源によって動作する回路の低電圧化も進められており、一般的な5[V]から3.3[V]へ、さらには2[V]以下へとさまざまな試みが行なわれている。

【0006】また、CMOS論理回路の場合、消費電力は動作クロックの周波数に比例するため、プロセッサの負荷が軽い時や待ち状態ではクロック周波数を低くして

50

平均消費電力を節約する手法や、動作周波数を抑える代わりに処理を並列化させることで処理性能を損なわずに消費電力を低下させる手法が試みられている。

【0007】

【発明が解決しようとする課題】しかしながら、特にパソコン用コンピュータ等のデータ処理装置では、プロセッサの有する処理性能が年々著しく向上し、それに伴って要求される消費電力も増加している反面、バッテリは材料の改良等により徐々に高密度化を図っているために飛躍的な向上を望むことはできず、結果的に上記バッテリの容量を拡大する手法をもってバッテリの稼働時間を大幅に長くするのは困難となっているのが現状である。

【0008】一方、消費電力を削減する方向では、上記低電圧化や動作クロックの周波数を下げる手法も、現状ではとり得る範囲に限界があり、また処理性能とのトレードオフも存在するために、一概に動作電圧、動作クロックの周波数を低下させる訳にはいかない。

【0009】また上記電力供給を制御する手法は、単に使用していないモジュールへの電力供給を抑制するだけの制御はすでに考え尽くされており、新たな制御手法が求められている。

【0010】本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、特にパイプライン処理を行なうマイクロプロセッサにおいて、ステージ単位での無駄な電力消費を廃することでマイクロプロセッサ全体の消費電力を低減可能とした演算処理装置及び方法を提供することにある。

【0011】

【課題を解決するための手段】すなわち本発明は、命令をパイプライン処理する演算処理装置であって、パイプラインの各ステージで命令に対する所定のデータ処理を行なうデータ処理部と、上記データ処理部の各ステージに入出力される処理内容を保持する複数のレジスタからなるレジスタ群と、このレジスタ群の各レジスタをそれぞれバイパスするバイパス路と、上記演算処理装置の動作クロック周波数が低クロック周波数モードとなった際、あるいは上記データ処理部の各ステージでのデータ処理の流れを監視し、分岐命令実行時のようにその時点のレジスタの保持内容が次の単位処理時間内も安定して保持されている際に、これを判定して上記バイパス路により上記レジスタ群中の該当レジスタをバイパスせるコントローラとを備えるようにしたものである。

【0012】

【作用】上記のような構成とすることにより、処理性能を低下させることなくプロセッサで無駄に消費される電力を削減することができると共に、バイパスしたレジスタのセットアップタイムの分だけ処理速度を向上させることも可能となる。

【0013】

【実施例】以下図面を参照して本発明の一実施例を説明

する。図1はプロセッサのシステム回路構成を示すもので、一点鎖線で示す範囲がパイプライン処理部11であり、12はパイプライン処理以外の命令に対応した処理を行なうプロセッサ本体である。

【0014】ここでは、パイプライン処理部11の構成を簡略化して表わすために1つの命令に対する処理を2つのステージに分けて行なうものとし、例えば第1データ処理部13でパイプラインの第1ステージのデータ処理として命令のフェッチとデコードを、第2データ処理部14でパイプラインの第2ステージのデータ処理として命令の実行と対応するメモリへの結果の書き込みを行なうものとする。

【0015】しかるに、プロセッサ本体12より与えられた命令はパイプライン処理部11でレジスタ(r e g .)15及びマルチプレクサ(M P X)16に供され、レジスタ15の保持内容がマルチプレクサ16に供される。

【0016】マルチプレクサ16は、プロセッサ本体12から直接与えられた命令とレジスタ15の保持内容のいずれか一方を後述するコントローラ21からのレジスタイネーブル信号R E 1に従って選択して上記第1データ処理部13に送出する。

【0017】第1データ処理部13は上述したパイプラインの第1ステージのデータ処理を行なうもので、その処理結果はレジスタ17及びマルチプレクサ18に供され、レジスタ17の保持内容がマルチプレクサ18に供される。

【0018】マルチプレクサ18は、第1データ処理部13から直接与えられた処理結果とレジスタ17の保持内容のいずれか一方を後述するコントローラ21からのレジスタイネーブル信号R E 2に従って選択して上記第2データ処理部14に送出する。

【0019】第2データ処理部14は上述したパイプラインの第2ステージのデータ処理を行なうもので、その処理結果はレジスタ19及びマルチプレクサ20に供され、レジスタ19の保持内容がマルチプレクサ20に供される。

【0020】マルチプレクサ20は、第2データ処理部14から直接与えられた処理結果とレジスタ19の保持内容のいずれか一方を後述するコントローラ21からのレジスタイネーブル信号R E 3に従って選択して上記プロセッサ本体12に送出する。

【0021】コントローラ21は、動作クロックの周波数とパイプラインの使用状態に応じてパイプライン処理部11内の無駄な電力消費を抑制すべくレジスタ15、17、19及びマルチプレクサ16、18、20の動作を制御するもので、レジスタ15及びマルチプレクサ16にレジスタイネーブル信号R E 1を、レジスタ17及びマルチプレクサ18にレジスタイネーブル信号R E 2を、そしてレジスタ19及びマルチプレクサ20にレジスタイネーブル信号R E 3をそれぞれ送出する一方、プロセッサ本体12へもその時点でのパイプラインの状態を表わす状態表示信号Sを送出する。

5

【0022】また、レジスタ17及びプロセッサ本体12にはクロックドライバ22で増幅された動作クロック ϕ 1が、レジスタ15、19及びプロセッサ本体12にはクロックドライバ23で増幅された動作クロック ϕ 2がそれぞれ動作クロックとして供給されるもので、動作クロック ϕ 1と動作クロック ϕ 2とは互いに反転した2相クロックを構成するものである。

【0023】さらに、クロックドライバ22、23それぞれの入出力端を接続するものとして電荷放電回路(e)24が設けられる。この電荷放電回路24は、図2に示す如く構成されている。

【0024】すなわち図2では、クロックドライバ22の入力端が抵抗R1を介してNPNのトランジスタTR2のベースに接続され、このトランジスタTR2のエミッタ及びダイオードD1のアノードがクロックドライバ22の出力端に、トランジスタTR2のコレクタがダイオードD2のカソードにそれぞれ接続されている。

【0025】一方、クロックドライバ23の入力端は抵抗R2を介してNPNのトランジスタTR1のベースに接続され、このトランジスタTR1のエミッタ及びダイオードD2のアノードがクロックドライバ23の出力端に、トランジスタTR1のコレクタがダイオードD1のカソードにそれぞれ接続されている。

【0026】次いで上記実施例の動作について説明する。まず図1のプロセッサが通常の周波数で動作する場合、コントローラ21は図4に示すように低クロックモードであるか否か、処理すべき命令がパイプラインによる命令の連続状態を断つ分岐命令等であるか否かを続けて判断し(ステップS1、S2)、これらの状態ではないことを確認した上でレジスタ15、17、19及びマルチプレクサ16、18、20へのレジスタイネーブル信号RE1～RE3をアクティブな状態“H”とし、同時に通常動作であることを表わす状態表示信号Sをプロセッサ本体12に送出する(ステップS3)。

【0027】これに対応してプロセッサ本体12はパイプライン処理部11にデータ処理の実行を依頼すると共にレジスタ15及びマルチプレクサ16に処理すべき命令を与える。このときレジスタ15は、クロックドライバ23の出力する増幅された動作クロック ϕ 2の立上がりで処理すべき命令をプロセッサ本体12から受取って保持し、その保持内容をマルチプレクサ16へ送出する。

【0028】マルチプレクサ16は、コントローラ21からのレジスタイネーブル信号RE1が“H”であるのでイネーブルであるとしてレジスタ15の保持内容を選択して第1データ処理部13へ送出する。

【0029】第1データ処理部13は、マルチプレクサ16から送られてきた命令に対して上述したパイプラインの第1ステージのデータ処理を行ない、その処理結果をレジスタ17及びマルチプレクサ18へ送出する。

【0030】このときレジスタ17は、クロックドライバ

6

22の出力する増幅された動作クロック ϕ 1の立上がりで処理すべき命令を第1データ処理部13から受取って保持し、その保持内容をマルチプレクサ18へ送出する。

【0031】マルチプレクサ18は、コントローラ21からのレジスタイネーブル信号RE2が“H”であるのでイネーブルであるとしてレジスタ17の保持内容を選択して第2データ処理部14へ送出する。

【0032】第2データ処理部14は、マルチプレクサ18から送られてきた処理内容に対して上述したパイプラインの第2ステージのデータ処理を行ない、その処理結果をレジスタ19及びマルチプレクサ20へ送出する。

【0033】このときレジスタ19は、クロックドライバ23の出力する増幅された動作クロック ϕ 2の立上がりで処理結果を第2データ処理部14から受取って保持し、その保持内容をマルチプレクサ20へ送出する。

【0034】マルチプレクサ20は、コントローラ21からのレジスタイネーブル信号RE3が“H”であるのでイネーブルであるとしてレジスタ19の保持内容を選択してプロセッサ本体12へ送出する。プロセッサ本体12はマルチプレクサ20からの処理結果を受取り、以上で1つの命令に対するパイプライン処理部11でのデータ処理を終えるものである。

【0035】上記のように通常のクロック周波数で動作している間の電荷放電回路24内での動作について説明する。図3に示すように動作クロック ϕ 1と動作クロック ϕ 2は2相クロックとなっており、互いに反転している。

【0036】いま、クロックドライバ22に入力される動作クロック ϕ 1が“H”、クロックドライバ22に入力される動作クロック ϕ 2が“L”であるとすると、同じくクロックドライバ22の出力端は“H”、クロックドライバ23の出力端は“L”となる。

【0037】そのため、ダイオードD2には逆方向電圧がかかって電流は流れない。一方、ダイオードD1には順方向電圧がかかるが、トランジスタTR1はベースが動作クロック ϕ 2により“L”となっているためにオフとなっており、やはり電流は流れない。この状態でクロックドライバ22の出力端のラインには正の電荷が溜まっている、クロックドライバ23の出力端のラインには負の電荷が溜まっている。

【0038】ここでクロックドライバ22に入力される動作クロック ϕ 1が“H”から“L”に、クロックドライバ23に入力される動作クロック ϕ 2が“L”から“H”に同時に変化すると、クロックドライバ23の出力端は“L”、クロックドライバ23の出力端が“H”となる。

【0039】これによりトランジスタTR1がオンとなり、クロックドライバ22の出力端のラインからクロックドライバ23の出力端のラインに向かってダイオードD1を介して電流が流れると、クロックドライバ22の出力端のライン上の正の電荷はクロックドライバ22に吸い込まれる。

れると同時に電荷放電回路24を通ってクロックドライバ23の出力端のラインに吸い込まれる。

【0040】したがって、クロックドライバ23の出力端のラインにはクロックドライバ23から正の電荷が流れ込み、同時にクロックドライバ22の出力端のラインからも正の電荷が流れ込むこととなるため、電荷放電回路24が電荷の移動を助けてクロックドライバ22、23で消費される電力を節約することができる。

【0041】電荷の移動が終了すると、クロックドライバ22の出力端のラインは“L”、クロックドライバ23の出力端のラインは“H”となって状態は安定する。また、クロックドライバ22に入力される動作クロック $\phi 1$ が“L”から“H”に、クロックドライバ23に入力される動作クロック $\phi 2$ が“H”から“L”に変化する場合も電荷の移動方向が逆であり、上記それぞれ変化の方向が逆となるだけで前記と同様の動作を行なうものであるので、その動作の説明については省略する。

【0042】次に、図1のプロセッサが消費電力の節約のために低クロックモードとして動作クロック $\phi 1$ 、 $\phi 2$ の周波数を低くして動作するか、あるいは分岐命令等のようにパイプラインによる命令の連続状態を断つ命令を実行する場合には、コントローラ21が上記図4のフローチャートでこれを確認し（ステップS1、S2）、これらの状態であることを判断した上で、例えばレジスタ15、19及びマルチプレクサ16、20へのレジスタイネーブル信号RE1、RE3をアクティブな状態“H”、レジスタ17及びマルチプレクサ18へのレジスタイネーブル信号RE2をインアクティブな状態“L”、とし、同時に1段分パイプラインをバイパスすることを表わす状態表示信号Sをプロセッサ本体12に送出する（ステップS4）。

【0043】これに対応してプロセッサ本体12はパイプライン処理部11にデータ処理の実行を依頼すると共にレジスタ15及びマルチプレクサ16に処理すべき命令を与える。このときレジスタ15は、クロックドライバ23の出力する増幅された動作クロック $\phi 2$ の立上がりで処理すべき命令をプロセッサ本体12から受取って保持し、その保持内容をマルチプレクサ16へ送出する。

【0044】マルチプレクサ16は、コントローラ21からのレジスタイネーブル信号RE1が“H”であるのでイネーブルであるとしてレジスタ15の保持内容を選択して第1データ処理部13へ送出する。

【0045】第1データ処理部13は、マルチプレクサ16から送られてきた命令に対して上述したパイプラインの第1ステージのデータ処理を行ない、その処理結果をレジスタ17及びマルチプレクサ18へ送出する。

【0046】このときレジスタ17は、コントローラ21からのレジスタイネーブル信号RE2がインアクティブであるため、内部のリップフロップの動作を停止させ、保持動作を行なわない。

【0047】マルチプレクサ18は、コントローラ21からのレジスタイネーブル信号RE2が“L”であるのでディスネーブルであるとして第1データ処理部13からの処理結果を直接選択して第2データ処理部14へ送出する。

【0048】第2データ処理部14は、マルチプレクサ18から送られてきた処理内容に対して上述したパイプラインの第2ステージのデータ処理を行ない、その処理結果をレジスタ19及びマルチプレクサ20へ送出する。

【0049】このときレジスタ19は、クロックドライバ23の出力する増幅された動作クロック $\phi 2$ の立上がりで処理結果を第2データ処理部14から受取って保持し、その保持内容をマルチプレクサ20へ送出する。

【0050】マルチプレクサ20は、コントローラ21からのレジスタイネーブル信号RE3が“H”であるのでイネーブルであるとしてレジスタ19の保持内容を選択してプロセッサ本体12へ送出する。プロセッサ本体12はマルチプレクサ20からの処理結果を受取り、以上で1つの命令に対するパイプライン処理部11でのデータ処理を終えるものである。

【0051】以上の動作により、レジスタ17をバイパスさせ、その動作を一時的に停止させることで、無駄な電力消費を抑制しながらも処理性能を低下させることなく、さらにはレジスタ17のセットアップタイムの分だけ処理速度を向上させることができる。

【0052】上記低クロックモード時あるいはパイプラインによる命令の連続状態を断つ命令の実行時であっても、電荷放電回路24においては通常の動作時と同様に電荷の移動を助けてクロックドライバ22、23で消費される電力を節約するため、より消費電力を低減させることができる。

【0053】なお、上記実施例では2相クロックである動作クロック $\phi 1$ 、 $\phi 2$ に対して電荷放電回路24に示したような構成で電荷の移動を助けてクロックドライバ22、23での電力消費を抑制するものとしたがこれに限ることなく、より多相のクロックにも適用可能であることは勿論である。

【0054】

【発明の効果】以上に述べた如く本発明によれば、処理性能を低下させることなくプロセッサで無駄に消費される電力を削減することができると共に、バイパスしたレジスタのセットアップタイムの分だけ処理速度を向上させることも可能な演算処理装置及び方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る回路構成を示すブロック図。

【図2】図1の電荷放電回路内の詳細な回路構成を示す図。

【図3】同実施例に係る動作クロックを示す図。

【図4】図1のコントローラによる処理内容を示すフロ

一チャート。

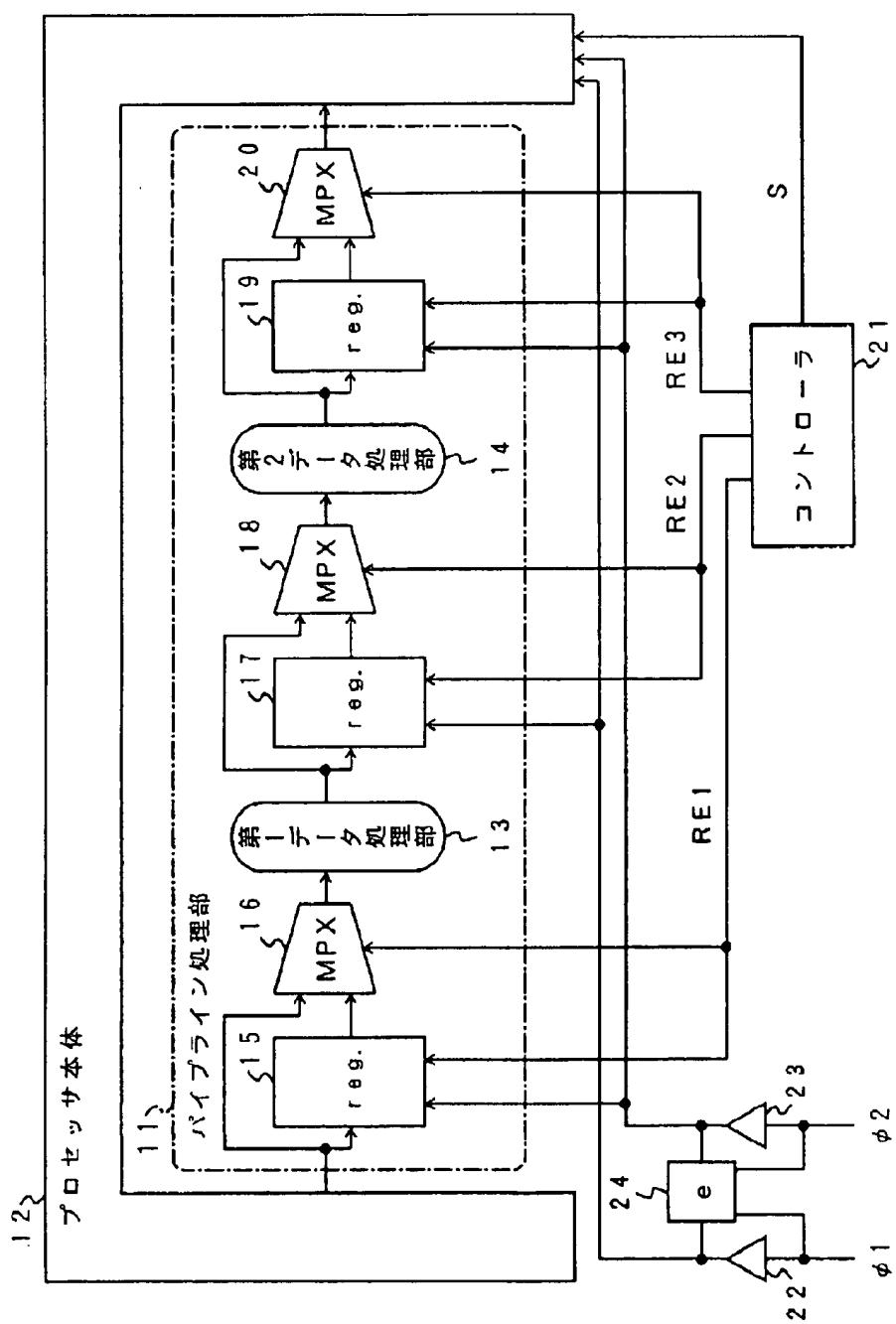
【符号の説明】

11…パイプライン処理部、12…プロセッサ本体、13…第

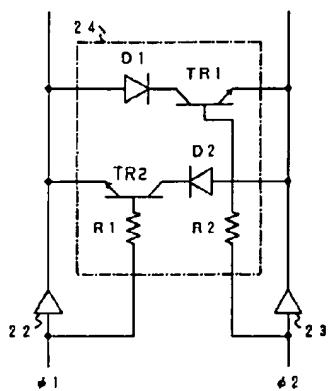
レジスタ（reg.）、16, 18, 20…マルチプレクサ
(MPX)、21…コントローラ、22, 23…クロックドラ
イバ、24…電荷放電回路(e)。

1 データ処理部、14…第2データ処理部、15, 17, 19…

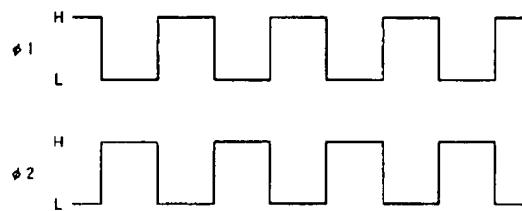
【図1】



【図2】



【図3】



【図4】

